

65 nm CMOS 工艺时钟发生器的设计与实现

高 辉, 刘文平

(西安微电子技术研究所, 陕西 西安 710065)

摘 要: 设计了一款应用于高速片上系统(System-on-Chip, SoC)领域的时钟发生器电路. 基于 Delta-sigma 调制技术实现了小数分频, 同时引入了加抖技术(Dither)以及模数转换器(Digital to Analog Converter, DAC)补偿技术, 从而大幅度地抑制了 Delta-sigma 调制引起的量化噪声. 基于 65 nm CMOS 工艺完成了电路设计, 仿真结果表明, 当输出频率为典型应用的 1.2 GHz 时, 该电路周期抖动(period jitter)的均方根值(rms)约为 0.656 ps, 功耗仅为约 3.824 mW.

关键词: Delta-sigma; 模数转换器; 抖动; 锁相环

中图分类号: TN42

文献标识码: A

文章编号: 1000-7180(2017)09-0107-05

Design and Implementation of a 65 nm CMOS Clock Generator

GAO Hui, LIU Wen-ping

(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: This paper introduces a clock generator intended for the use in a high-speed SoC design. Fractional division achieved through the employment of Delta-sigma modulation. Significantly suppression of quantization error, which is caused by the Delta-sigma modulation, obtained through the use of dithering and DAC compensation technology. Circuit design implemented based on a 65 nm CMOS process and the simulation result shows that the period jitter (rms) and the total power are 0.656 ps and 3.824 mW, respectively, when the output frequency is 1.2 GHz of a typical application.

Key words: delta-sigma; DAC; dither; PLL

1 引言

时钟发生器电路广泛应用于数字及混合信号集成电路中, 包括 CPU, DSP, I/O 接口等等. 传统的实现方案一般为整数型锁相环结构, 其基本原理是对固定频率的晶振输出进行倍频操作, 得到高频时钟信号. 经过长期的技术积累, 基于整数型锁相环结构的时钟发生器可以提供高品质的时钟信号. 随着 SoC 设计技术的不断发展, 对于时钟电路的需求也日益多样化. 整数型锁相环结构逐渐显露出其局限性^[1], 包括分辨率受晶振频率限制, 及由此导致的低带宽和长锁定时间的问题等. 采用 Delta-sigma 调制技术的小数型锁相环可以有效解决前述问题. 除此之外, 小数型锁相环技术还能

实现扩频时钟, 提高系统的抗电磁干扰性能^[2].

尽管 Delta-sigma 调制技术拥有上述优点, 但其固有的量化噪声问题在很大程度上限制了该技术的应用. 一般而言, 相同条件下, 采用 Delta-sigma 调制技术的小数型锁相环, 其输出抖动要远大于整数型锁相环的输出抖动. 本文在 Delta-sigma 调制技术的基础上, 提出了一种加抖技术与 DAC 补偿技术相结合的解决方案, 大幅度地减小了量化噪声的影响.

2 电路整体结构

本文电路为 SoC 用的知识产权核(Intellectual Property core, IP)电路, 设计要求为具有较低的功耗、较小的芯片面积.

电路整体结构如图 1 所示. 与传统整数型结构的锁相环相比, 该结构中增加了 Delta-sigma 调制器 (Delta Sigma Modulator, DSM) 以及 DAC 补偿电路. 加在多模分频器之前的 DSM 用于实现小数分频比, 并输出 DAC 的控制信号 DAC_CW. 由于量化噪声的影响, 电荷泵的输出会有高低脉冲出现, DAC 电路用于补偿这一部分电荷, 从而降低量化噪声的影响. 图 1 省略了偏置电流产生电路、电平转换电路以及 PFD 输入端的重定时电路等. 电路的具体细节将在后文详细讨论.

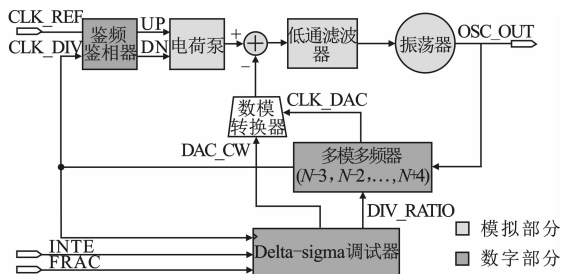


图 1 系统整体结构框图

3 Delta-sigma 调制技术

上世纪 90 年代, Riley 等人将 Delta-sigma 调制技术引入锁相环设计中^[3]. 该技术的基本原理是将一固定的小数输入(用二进制表示)“量化”为一个随机的整数序列, 且该输出序列的平均值等于输入的小数值. 为了解决该技术固有的量化噪声问题, 一般会采用提高阶数、增长字长的方法来设计 DSM. 在对噪声性能要求较高的应用中, 常采用单环结构. 综合考虑设计复杂度以及性能、功耗等因素, 本文采用二阶单环结构来实现 DSM, 字长为 24 比特.

限制 Delta-sigma 调制技术应用的另一原因为分数杂散. 一般的解决方式为将线性反馈移位寄存器 (Linear Feedback Shift Register, LFSR) 产生的最低有效位 (Least Significant Bit, LSB) 抖动信号直接加在 DSM 的输入端^[4]. 当 DSM 的输入为接近 0 或者 1 的小数时, 比如 0.005 或者 0.99 等, DSM 的输出端容易出现“过载”(overloading)的情况. 在输入端增加扰动信号幅度的方法不足以解决这个问题^[5]. 如果能够提高量化器的输出级数, 则能够有效避免“过载”情况的出现, 获得更高的稳定输入范围, 同时抑制分数杂散.

考虑图 2 中抖动信号 D_1 的影响, 可以得到 X 和 Y 之间的关系式为

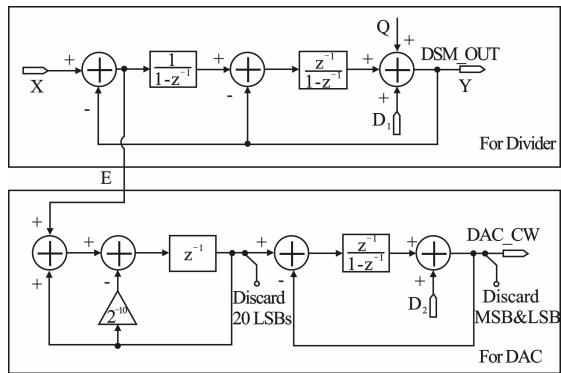


图 2 Delta-sigma 调制器整体结构框图

$$Y(z) = X(z)z^{-1} + (Q(z) + D_1(z))(1 - z^{-1})^2 \quad (1)$$

分析式(1)可知, 抖动信号与量化噪声的传递函数相同, 只有两者的幅度接近的时候才能打破原来的输出序列, 从而抑制分数杂散. 图 3 给出了采用该方法前及加不同幅值的抖动信号对输出的影响. 从结果可知, 当抖动信号幅值与量化步长相同时, 才能得到最优化的输出序列. 此时, 输出噪声本底相比未增加抖动时会增加 3 dB.

综上所述, 本文采用图 2 所示二阶单环结构实现 DSM, 字长为 24 比特. 通过在一级结构中实现多阶的反馈, 获得随机性较好的输出序列; 通过在输出级量化器前增加抖动信号, 减小了分数杂散的影响, 增加了输出量化级数, 提高了调制器的稳定性.

4 DAC 补偿技术

前文提到, DSM 可以将量化噪声推至高频, 然后利用环路的低通特性将高频噪声滤除, 这会引起与锁定时间的折中. 另外, 当环路中存在非线性时, 会将高频噪声折叠至带内 (in-band), 极大地影响电路的噪声性能. 为了解决这一问题, 仍必须考虑增加低通滤波之外的噪声抑制机制.

图 2 所示的二阶调制器的输出如式(2):

$$y[n] = \alpha + e_Q[n] \quad (2)$$

式中, α 为小数分频比, $y[n]$ 为 DSM 第 n 个周期的输出, $e_Q[n]$ 为误差信号. 由该式可以得出, $e_Q[n]$ 经由鉴频鉴相器 (Phase and Frequency Detector, PFD)/电荷泵 (Charge Pump, CP) 组合在滤波器端产生的误差电荷可以表示为

$$Q_Q[n] = I_{CP} T_{OSC} \sum_{k=n_0}^{n-1} e_Q[k] \quad (3)$$

式中, I_{CP} 为 CP 电流, T_{OSC} 为振荡器 (Oscillator, OSC) 输出信号的周期, n_0 为 n 之前的任一值.

由上述分析可知, DSM、分频器以及 PFD/CP

的组合可以看作是一个 DAC,且其量化步长为 CP 在单位振荡器周期内输出的电荷量. 同理,如果利用 DAC 将误差信号 $e_Q[n]$ 转化为 $-Q_Q[n]$,并将此信号与 $Q_Q[n]$ 相加,理论上就可以将 DSM 的量化噪声完全消除.

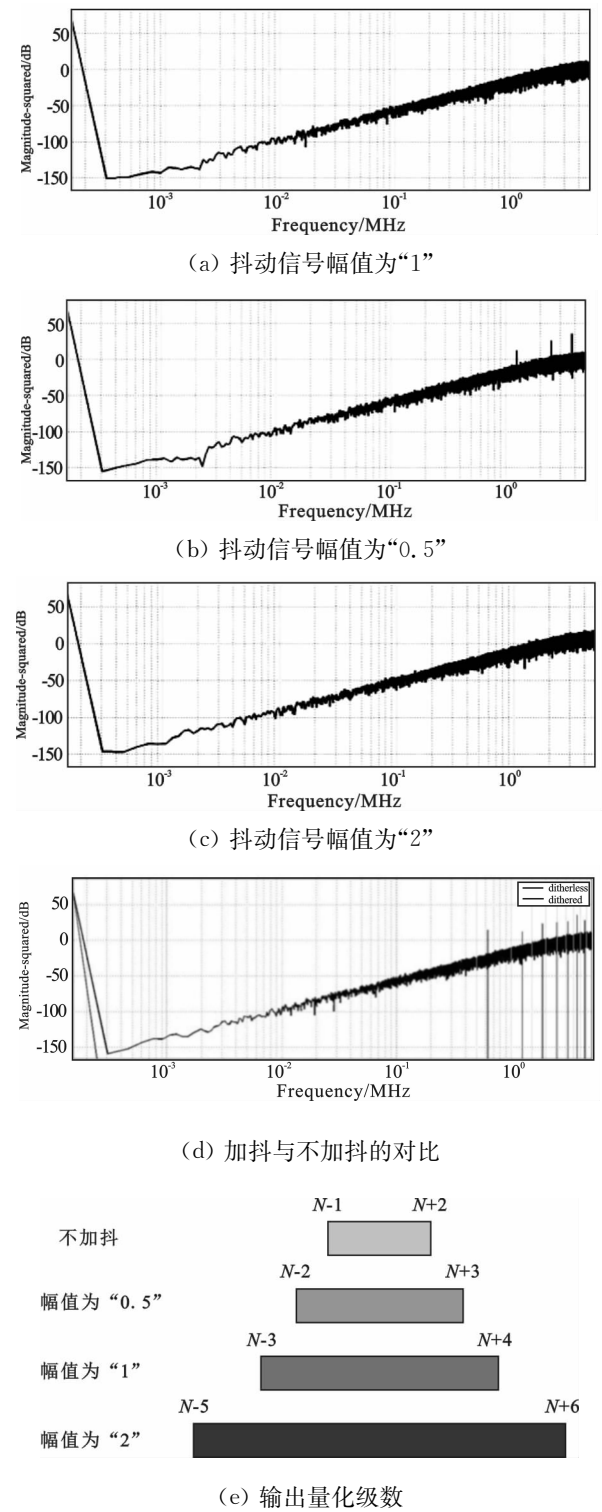


图 3 DSM 量化步长为“1”时不同幅值抖动信号对应的输出频谱及对应的输出量化级数

假定某一时刻,工作于小数模式下的环路锁定. 在下一比较周期,由于 DSM 的量化作用,参考时钟信号 CLK_REF 与反馈时钟信号 CLK_DIV 之间存在一个随机的相位差. 不考虑 PFD 本身存在的死区时间(Dead-zone),在每个比较周期,CP 会输出一个时间随机,但大小固定的电流脉冲. 如果 DAC 也输出一个大小相等,持续时间也相同但方向相反的电流脉冲,就可以精确地消除误差电荷.

然而由于 CP 电流的脉冲宽度并不能提前获知,前述方法很难实现,一般采用固定 DAC 脉冲宽度的方法. 在本文电路中,该时间设置为 $4T_{OSC}$,从而更好地匹配 CP 的电流脉冲,减小振荡器控制电压上的纹波(ripple). 另外,DAC 的最高脉冲要能够补偿 CP 电流的最宽脉冲^[6]. 由于本文 DSM 的输出范围为 $N-3 \sim N+4$,因此 DAC 的最高脉冲设计为 CP 脉冲高度的 $3/4$.

在本文电路中,小数部分是用 24 比特二进制数表示. 如果用该误差信号直接作为 DAC 的控制信号,那么 DAC 的精度要求至少为 3.7 pA ! 这对于 CMOS 电路来说几乎是不可能实现的. 为了解决这一问题,传统的做法是对误差信号进行截断(truncation)处理,将误差信号的字长减小到 DAC 可实现的程度,但是这种操作会在系统输出端引起额外的杂散. 本文采用图 2 阴影区域所示方式对误差信号进行截断处理, $1/2^{-10}$ 因子的引入用于增加输出序列的循环长度,抖动信号 D_2 用于更好地匹配 DAC 电流,而由截断操作引起的额外噪声可以被环路滤波器抑制.

最终的 DAC 控制字(Control Word, CW)输出包括最高有效位(Most Significant Bit, MSB)的符号位以及低五位的温度计编码(thermometer code),低五位用于控制 DAC 的开关,符号位用来确定是充电还是放电. 采用该方案之后,DAC 的单位电流约为 $3\mu\text{A}@1.2 \text{ GHz}$. DAC 补偿操作的时序如图 4 所示,在 CP 充(放)电操作结束之后,再开启 DAC 补偿操作,从而减小开关切换瞬态对振荡器的影响.

5 关键电路实现

5.1 Delta-sigma 调制器

图 2 所示的 DSM 采用纯数字方式实现,如图 5 所示. 用加法器和反相器实现“+”和“-”的操作,用 D 触发器实现单位延迟,抖动信号则由 16 比特 LFSR 实现. 本文电路将分频比的小数部分与整数部分

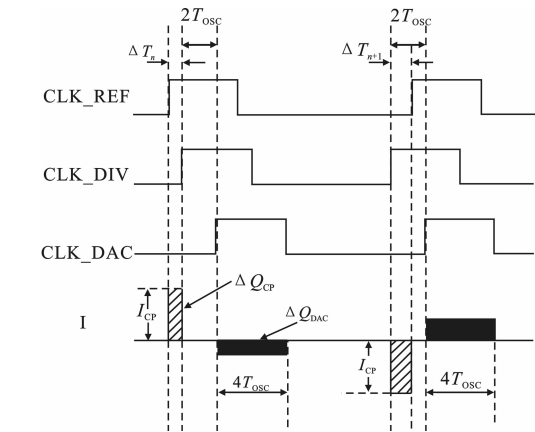


图 4 DAC 补偿操作的时序图

合并,无需单独设计传统单环结构中的 $n+1$ 、 $n+2$ 比特加法器. LFSR 的输出加在最后一级加法器的进位端,实现幅度为“1”的加抖操作.

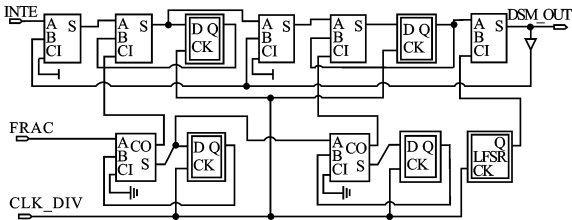


图 5 DSM 电路示意图

5.2 振荡器

本文电路为基于 CMOS 工艺的通用时钟发生器,要求振荡器的输出频率范围较宽、功耗较低,因此本文电路采用三级单端反相器级联的振荡器结构.如图 6 所示,通过改变流过反相器的电流来改变振荡频率,电流越大则频率越高.图中的滤波电容用于滤除 VCC_OSC 上的高频噪声.

5.3 电荷泵及模数转换器

如图 7 所示,CP 电流与 DAC 电流均镜像自同一电流源,采用 P 型共源共栅结构来提高镜像精度.当电路处于小数工作模式下,且 DAC 补偿电路打开时,假定某一时刻环路锁定,UP 和 DN 信号均为“0”,a 组电流源处于关闭状态,b 组电流源处于打开状态,两组电流源的宽长比为 32.当 UP 信号率先变为“1”时,a 组电流源也打开,振荡器的工作电流增大,振荡频率提高;反之则振荡频率降低.①~⑩号电流源受 DAC_CW 的低五位控制,其宽长比按照控制字由低到高的顺序分别为 1、2、4、8、8.当 DAC_CW 的低五位为全“1”或者全“0”时,DAC 的脉冲恰好可以补偿误差最大情况下的 CP 脉冲.

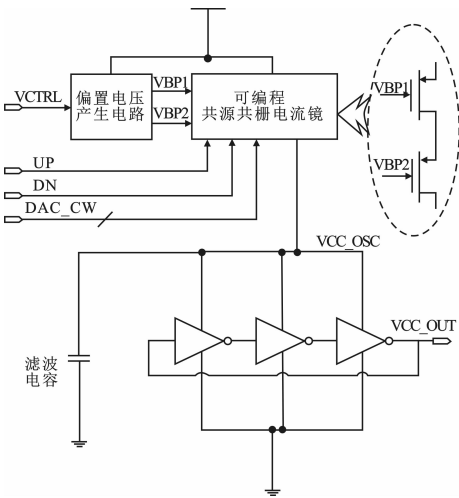


图 6 振荡器电路示意图

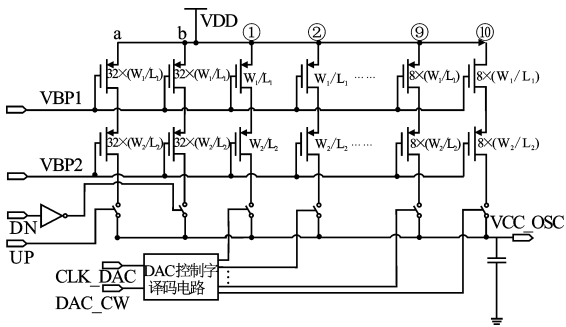


图 7 DAC 补偿电路示意图

6 系统验证

采用 Spectre 对整体电路进行了晶体管级仿真.仿真包括三种情况:整数模式、DAC 关闭的小数模式以及 DAC 开启的小数模式.表 1 给出了当输出频率为典型应用 1.2 GHz 时三种情况下电路的具体性能.由仿真结果可知,采用本文提出的量化噪声抑制技术之后,系统在小数模式下的输出具有较低的抖动,与整数模式下系统输出的抖动水平相当,系统可以输出高品质的时钟信号.

表 1 本文电路不同工作模式下的性能对比

工作模式	功耗/ mW	周期抖动/ (p-p ps)	周期抖动/ (rms ps)	锁定时间/ μ s
整数	3.605	0.791	0.218	15.9
小数(DAC 关)	3.819	8.521	1.187	15.5
小数(DAC 开)	3.824	4.944	0.656	15.5

注:仿真条件为 tt 工艺角,温度为 27℃,数字部分电源电压为 1.2 V,模拟部分电源电压为 2.5 V. 整数模式下,输入频率为 25 MHz,分频比为 48;小数模式下输入频率为 26 MHz,分频比为 46.1538.

表 2 给出了本文电路与同类设计的比较. 由比较结果可以看出,本文电路在保证抖动性能的前提下,在功耗及面积等指标上具有更好的表现,更适合作为 IP 核电路.

表 2 本文电路与同类设计的比较

文献	功耗/ mW	周期抖动/ (rms ps)	芯片面积/ mm ²	工艺
[7]	≈51.6	0.57	0.12	65 nm CMOS
本文	≈3.8	0.656	0.07	65 nm CMOS

7 结束语

本文提出了一种基于二阶 Delta-sigma 调制技术的时钟发生器解决方案,采用加抖技术以及 DAC 补偿技术大幅度地抑制了量化噪声. 仿真结果显示,当系统输出频率为典型应用值 1.2 GHz 时,周期抖动的峰峰值为 4.944 ps,均方根值为 0.656 ps,系统功耗约为 3.8 mW,所有指标均与整数模式可比拟.

参考文献:

[1] Galton I. Delta-sigma fractional-N phase-locked loops[C]// Phase-locking in high- performance systems: from devices to architecture. New York: Wiley, 2003.

[5] Sara G, Kalaierasi R, Neelavathy P, et al. Energy efficient clustering and routing in mobile wireless sensor network [J]. International Journal of Wireless & Mobile Networks, 2010, 2(4): 106-114.

[6] Zhang Puning, Liu Yuan-an, Wu Fan, et al. A data delivery scheme based on sink centrality for delay tolerant mobile sensor networks [C]//International Conference on Cyber-Enabled Distributed Computing and Knowledge Discovery. IEEE, 2014: 217-222.

[7] Wang Ruyan, Yang Huiping, Wang Honggang, et al. Social overlapping community-aware neighbor discovery for d2d communications [J]. IEEE Wireless Communications, 2016, 23(4): 28-34.

[8] 俸皓, 罗蕾, 王勇, 等. 基于萤火虫算法的无线传感器网络移动 sink 节点路径规划方法 [J]. 微电子学与

[2] 胡帅帅, 周玉梅, 张锋. 10GHz 扩频时钟发生器的设计[J]. 微电子学与计算机, 2016, 33(10):63-67.

[3] Riley T, Copeland M A, Kwasniewsk Ti. Delta-sigma modulation in fractional-N frequency synthesis [J]. IEEE Journal of Solid-State Circuits, 1993, 28 (5): 553-559.

[4] Pamarti S, Jansson L, Galton I. A wideband 2.4 GHz Delta-sigma fractional-N PLL with 1 Mb/s in-loop modulation [J]. IEEE Journal of Solid-State Circuits, 2004, 39(1): 49-62.

[5] Hosseini K, Kennedy M P. Minimizing spurious tones in digital delta-sigma modulators [M]. New York: Springer, 2011.

[6] Razavi B. RF microelectronics [M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2012.

[7] Sai A, Yamaji T, Itakura T. A 570fs rms, integrated-jitter ring-VCO-based 1.21GHz PLL with hybrid loop [C]// Solid-State Circuits Conference Digest of Technical Papers. IEEE, 2011:98-100.

作者简介:

高 辉 男, (1988-), 硕士研究生. 研究方向为锁相环电路设计. E-mail: 715450973@qq. com.

刘文平 男, (1957-), 研究员, 硕士生导师. 研究方向为宇航级模拟集成电路设计.

(上接第 106 页)

[5] Sara G, Kalaierasi R, Neelavathy P, et al. Energy efficient clustering and routing in mobile wireless sensor network [J]. International Journal of Wireless & Mobile Networks, 2010, 2(4): 106-114.

[6] Zhang Puning, Liu Yuan-an, Wu Fan, et al. A data delivery scheme based on sink centrality for delay tolerant mobile sensor networks [C]//International Conference on Cyber-Enabled Distributed Computing and Knowledge Discovery. IEEE, 2014: 217-222.

[7] Wang Ruyan, Yang Huiping, Wang Honggang, et al. Social overlapping community-aware neighbor discovery for d2d communications [J]. IEEE Wireless Communications, 2016, 23(4): 28-34.

[8] 俸皓, 罗蕾, 王勇, 等. 基于萤火虫算法的无线传感器网络移动 sink 节点路径规划方法 [J]. 微电子学与

计算机. 2016, 33(5): 47-51.

[9] Keränen A, Ott J, Kärkkäinen T. The ONE simulator for DTN protocol evaluation[C]// The 2nd International Conference on Simulation Tools and Techniques. Rome: IEEE, 2009: 1-10.

作者简介:

邹洪森 男, (1982-), 工程师. 研究方向为智能电网. E-mail: zouhspaper@163. com.

刘志远 男, (1970-), 高级工程师. 研究方向为继电保护技术.

王 峰 男, (1983-), 工程师. 研究方向为物联网与传感器技术.

陈 枫 男, (1984-), 工程师. 研究方向为测控技术.